

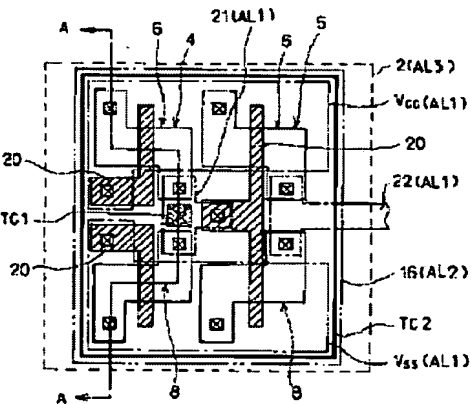
SEMICONDUCTOR INTEGRATED CIRCUIT ELEMENT AND SEMICONDUCTOR DEVICE

Publication number: JP8236706
Publication date: 1996-09-13
Inventor: TOMATSU TAKASHI
Applicant: HITACHI LTD; AKITA DENSHI KK
Classification:
- international: H01L27/04; H01L21/60; H01L21/822; H01L27/06; H01L27/04; H01L21/02; H01L21/70; H01L27/08PC1-7); H01L27/04; H01L21/60; H01L21/822; H01L27/06
- european:
Application number: JP19950041774 19950301
Priority number(s): JP19950041774 19950301

Report a data error here

Abstract of JP8236706

PURPOSE: To improve an integration degree by forming a circuit element consisting of a protective element and an I/O buffer downward a pad of a semiconductor integrated circuit element having a pad for wire bonding in the periphery. CONSTITUTION: A rectangular part of the outermost periphery is a pad 2 (AL3) and a rectangular part of its inside is a wiring 16 (AL2). A region of a full line is a connection part of the pad 2 and the wiring 16 that is a contact part TC2. A protective element 4 is formed on a left half of TC2 and an I/O buffer circuit 5 is formed on a right half. A P-channel MOS 6 is formed on an upper side half of TC2 and an N-channel MOS 8 is formed on a lower side half. Further, hatching part is a gate 20. A connection part of the protective part 4 and the I/O buffer circuit 5 and a connection part 22 of an inside cell and the I/O buffer circuit 5 are also formed of AL 1. The protective element 4 and the I/O buffer circuit 5 are formed under the pad 2 so as thereby to be small-sized.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-236706

(43)公開日 平成8年(1996)9月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04			H 0 1 L 27/04	H
21/822			21/60	3 0 1 P
21/60	3 0 1		27/04	E
27/06			27/06	3 1 1 B

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願平7-41774

(22)出願日 平成7年(1995)3月1日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000100997

アキタ電子株式会社

秋田県南秋田郡天王町天王字長沼64

(72)発明者 戸松 隆

秋田県南秋田郡天王町天王字長沼64 アキ

タ電子株式会社内

(74)代理人 弁理士 秋田 収喜

(54)【発明の名称】 半導体集積回路素子およびその素子を組み込んだ半導体装置

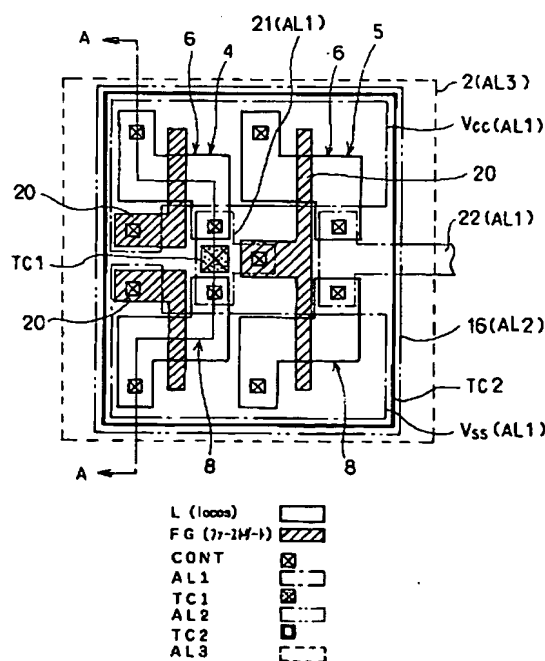
(57)【要約】

【目的】 半導体集積回路素子の小型化。

【構成】 周辺にワイヤボンディング用パッドを有する半導体集積回路素子であって、前記パッドの下方には回路素子が形成されている。前記パッドと前記回路素子との間には多層に配線が設けられているとともに、前記上下の配線間の層間絶縁膜は緩衝性材質で形成されている。前記パッドの下方に形成される回路素子は、保護素子と、I/Oバッファとからなっている。

【効果】 従来空き領域となっていたワイヤボンディング用パッドの下方に保護素子とI/Oバッファを形成することから、集積度が向上するとともに、保護素子とI/Oバッファを形成するための独立した領域が不要となり、半導体集積回路素子の小型化が図れる。

図 1



【特許請求の範囲】

【請求項1】 周辺にワイヤボンディング用パッドを有する半導体集積回路素子であって、前記パッドの下方の半導体部分には回路素子が設けられていることを特徴とする半導体集積回路素子。

【請求項2】 前記パッドと前記回路素子との間には多層に配線が設けられているとともに、前記上下の配線間の層間絶縁膜は緩衝性材質で形成されていることを特徴とする請求項1記載の半導体集積回路素子。

【請求項3】 前記パッドの下方に形成される回路素子は、保護素子と、I/Oバッファとからなっていることを特徴とする請求項1記載の半導体集積回路素子。

【請求項4】 半導体集積回路素子と、前記半導体集積回路素子のパッドと外部端子とを導電性のワイヤで接続してなる半導体装置であって、前記半導体集積回路素子のパッドの下方の半導体部分に形成された回路素子と、前記パッドと前記回路素子との間に設けられた多層の配線と、前記上下の配線間に設けられた緩衝性材質で形成された層間絶縁膜とを有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体集積回路素子およびその素子を組み込んだ半導体装置に関し、特に半導体集積回路素子の周辺部分に配設されるワイヤボンディング用パッド部分の構造に関する。

【0002】

【従来の技術】 半導体集積回路素子（半導体チップ）の周辺パッドセルは、ワイヤボンディング用のパッド、外部とのインターフェースをとるI/Oバッファ、保護素子から構成されている。前記、保護素子は前記パッドの両脇に設けられている。

【0003】 特願平2-281486号公報には、入力外部端子（ボンディングパッド）と、インバータ回路からなる入力段回路との間に、静電気破壊防止回路を配置した例が記載されている。

【0004】

【発明が解決しようとする課題】 従来の半導体集積回路素子における周辺パッドセルにおいては、ワイヤボンディング用パッドの両脇に保護素子が配置される構造となっている。このため、周辺パッドセルのサイズは、ワイヤボンディング用パッドのサイズよりも大幅に広がる。外部端子（ピン）が多い多ピンのLSIの場合、ピン数で半導体集積回路素子（半導体チップ）の大きさが決まることがあり、チップサイズが大型化し、半導体集積回路装置の小型化が妨げられることがある。

【0005】 従来の半導体集積回路素子においては、前記ワイヤボンディング用パッドの真下には保護素子等の回路素子が設けられず、空き領域となっている。これは、ワイヤボンディング用パッドに熱圧着や超音波ワイ

ヤボンディングによってワイヤを接続した場合、接続時、ワイヤボンディング用パッド部分に大きな衝撃が加わり、ワイヤボンディング用パッドの真下に回路素子を設けておくと、前記衝撃によって回路素子が破損してしまうためである。

【0006】 しかし、本発明者は、前記ワイヤボンディング用パッドの真下に多層に配線を設けるとともに、複数の層間絶縁膜を衝撃を緩和する緩衝性のもので形成すること等によって、パッドの真下に回路素子を設けても、ワイヤボンディング時、回路素子の破損を防止できることを突き止め本発明をなした。

【0007】 本発明の目的は、集積密度の高い半導体集積回路素子を提供することにある。

【0008】 本発明の他の目的は、小型化が達成できる半導体集積回路素子を提供することにある。

【0009】 本発明の他の目的は、半導体装置の小型化を図ることにある。

【0010】 本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0011】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、本発明の半導体集積回路素子は、周辺にワイヤボンディング用パッドを有する半導体集積回路素子であって、前記パッドの下方には保護素子とI/Oバッファとからなる回路素子が形成されている。前記パッドと前記回路素子との間には多層に配線が設けられているとともに、前記上下の配線間の絶縁膜は緩衝性材質で形成されている。

【0012】 本発明の半導体装置は、半導体集積回路素子と、前記半導体集積回路素子のパッドと外部端子とを導電性のワイヤで接続してなる半導体装置であって、前記半導体集積回路素子のパッドの下方の半導体部分に形成された回路素子と、前記パッドと前記回路素子との間に設けられた多層の配線と、前記上下の配線間に設けられた緩衝性材質で形成された層間絶縁膜とを有する構造となっている。前記回路素子は保護素子およびI/Oバッファ回路とからなっている。

【0013】

【作用】 上記した手段によれば、本発明の半導体集積回路素子は、従来空き領域となっていたワイヤボンディング用パッドの下方に保護素子およびI/Oバッファ回路を形成した構造となっていることから、集積度の高いものとなる。

【0014】 本発明の半導体集積回路素子は、従来空き領域となっていたワイヤボンディング用パッドの下方に保護素子およびI/Oバッファ回路を形成した構造となっていることから、保護素子およびI/Oバッファ回路を形成するための独立した領域が不要となり、小型化が

3

可能となる。

【0015】本発明の半導体集積回路素子は、パッドと、パッドの下方に形成された保護素子およびI/Oバッファ回路との間に多層に配線が設けられているとともに、前記上下の配線間の絶縁膜は緩衝性材質で形成されていることから、前記パッドにワイヤが接続されても接続時の衝撃で保護素子およびI/Oバッファ回路が破損されることがない。

【0016】本発明の半導体装置は、パッドの下方の半導体部分に回路素子を形成した小型化が可能な半導体集積回路素子が組み込まれることから、小型化された半導体集積回路素子の組み込みによって半導体装置の小型化が達成できる。

【0017】また、本発明の半導体装置は、パッドの下方の半導体部分に保護素子およびI/Oバッファ回路からなる回路素子を有する半導体集積回路素子のパッドにワイヤをボンディングした構造となっているが、前記パッドと回路素子との間には、多層に配線が設けられているとともに、前記上下の配線間の絶縁膜は緩衝性材質で形成されていることから、前記パッドにワイヤが接続されても接続時の衝撃で保護素子およびI/Oバッファ回路が破損されることがなく、ワイヤボンディングの信頼度の高い半導体装置となる。

【0018】

【実施例】以下図面を参照して本発明の一実施例について説明する。図1は本発明の半導体集積回路素子におけるパッド部分の各部を示すレイアウト図、図2は図1のA-A線に沿う拡大断面図、図3は入出力バッファセル部の等価回路図、図4は本実施例の半導体集積回路素子の模式的平面図、図5は本発明の半導体装置を示す模式的断面図である。

【0019】本実施例では、ゲートアレイを構成した半導体集積回路素子に本発明を適用した例について説明する。半導体集積回路素子1は、図4に示すように、矩形状となるとともに、周辺部分にワイヤボンディング用のパッド2を有し、中央部分にゲートアレイ部3を有している。半導体集積回路素子1はシリコン半導体基板によって形成されている。

【0020】半導体集積回路素子1の周辺には、周辺パッドセルが配置される。周辺パッドセルは、図3に示すように、ワイヤボンディング用のパッド2と、保護素子4と、I/Oバッファ回路5とからなっている。パッド2は、たとえば、1辺が100μm程度となる正方形からなり、数μm前後の厚さのアルミニウムで形成されている。

【0021】保護素子4はPチャンネルMOS 6のドレインとゲートを短絡させたダイオード7と、NチャンネルMOS 8のゲートとソースを短絡させたダイオード9とからなっている。また、I/Oバッファ回路5は、PチャンネルMOS 6とNチャンネルMOS 8を組み合わせ

4

せたインバータ回路となり、出力端子(OUT)15を介して内部のゲートアレイセルに接続される。なお、前記保護素子4およびI/Oバッファ回路5は電源電位Vccおよび接地電位Vssに接続される。

【0022】本実施例では、図1および図2に示すように、前記パッド2の下方の半導体部分に前記保護素子4およびI/Oバッファ回路5が形成される。保護素子4およびI/Oバッファ回路5からなる回路素子と、パッド2との間には、図2に示すように、配線16が多層に形成されている。配線16は2層となり、パッド2と同様にアルミニウムで形成されている。パッド2も配線となることからAL3と呼称し、パッド2の下層の配線16をAL2、AL1と呼称する。AL1は、図2に示すように、PチャンネルMOS 6およびNチャンネルMOS 8の各導電型領域のコンタクト電極となる。AL1の各導電型領域とのコンタクト部分は、図1ではCONTで示す部分である。AL2はAL1とAL3(パッド2)とを電気的接続する配線16であって、図1のTC1を介してAL1に接続され、TC2を介してAL3(パッド2)に接続される。

【0023】図1において、最外周の破線枠で示される矩形部分がパッド2、すなわち、AL3であり、その内側の二点鎖線枠の矩形部分が配線16(AL2)である。また、二点鎖線枠の内側の太い実線で囲まれる領域が、パッド2(AL3)と配線16(AL2)との接続部分、すなわち、コンタクト部分(TC2)である。

【0024】また、太い実線で囲まれる領域の左側半分に保護素子4が形成され、右側半分にI/Oバッファ回路5が形成されている。太い実線で囲まれる領域の上側半分にPチャンネルMOS 6が形成され、下側半分にNチャンネルMOS 8が形成されている。ハッチングを施した部分がゲート(ファーストゲート:FG)20である。また、保護素子4とI/Oバッファ回路5を接続する接続部21および内部セルとI/Oバッファ回路5とを接続する接続部22もAL1で形成されている。なお、図1における実線部分はロコス(locos:L)の縁を示すものである。

【0025】このように本実施例では、パッド2の下に保護素子4およびI/Oバッファ回路5が形成されている。

【0026】つぎに、図2を参照しながらパッド2の下に保護素子4が形成されている構造について説明する。半導体集積回路素子1は、p-型のシリコン基板30を基に形成されている。シリコン基板30の主面(上面)の表層部には、PチャンネルMOS 6およびNチャンネルMOS 8が並んで形成されている。そして、一対のPチャンネルMOS 6およびNチャンネルMOS 8を利用して、保護素子4やI/Oバッファ回路5が形成される。

【0027】PチャンネルMOS 6は、シリコン基板3

5

0の表層部に設けられたn導電型となるnウェル31と、このnウェル31の表層部に所定の間隔離して設けられたp+型のドレイン領域32およびソース領域33と、ドレイン領域32とソース領域33との間のシリコン基板30の主面に設けられたゲート絶縁膜34と、このゲート絶縁膜34上に設けられたポリシリコンからなるゲート20とからなっている。

【0028】NチャンネルMOS8は、シリコン基板30の表層部に所定の間隔離して設けられたn+型のドレイン領域37およびソース領域38と、ドレイン領域37とソース領域38との間のシリコン基板30の主面に設けられたゲート絶縁膜39と、このゲート絶縁膜39上に設けられたポリシリコンからなるゲート20とからなっている。

【0029】PチャンネルMOS6やNチャンネルMOS8が設けられないシリコン基板30の主面には、ロコス膜40が設けられている。AL1、AL2、AL3の各間に設けられる層間絶縁膜43は、特に限定はされないが2層(層間絶縁膜43a、43b)となっている。各層間絶縁膜43a、43bは、SiO₂膜、Si₃N₄膜、ポリイミド樹脂膜等で形成される。本実施例では、パッド2にワイヤボンディングする際の衝撃を緩和するために、前記層間絶縁膜43a、43bは厚くするとともに、弾力性に富んだもので形成される。たとえば、層間絶縁膜43aはBPSGで形成されるとともに、厚さは0.5~1.0μm程度となり、層間絶縁膜43bはHLDで形成されるとともに、厚さは0.5~1.0μm程度となっている。

【0030】前記層間絶縁膜43と配線16とによって、保護素子4とI/Oバッファ回路5からなる回路素子44がパッド2の下方に形成される。

【0031】このような半導体集積回路素子1は、半導体装置の製造においてパッケージ内に組み込まれる。図5は前記半導体集積回路素子1を組み込んだ半導体装置45を示す模式的断面図である。半導体装置45は、レジンで形成されたパッケージ46と、このパッケージ46内の支持板47上に固定される半導体集積回路素子1と、前記パッケージ46の周面においてパッケージ46の内外に亘って延在する複数のリード47と、前記半導体集積回路素子1の周辺に設けられたパッド2と前記リード47の内端を接続する導電性のワイヤ48とからなっている。

【0032】前記パッド2にはワイヤ48が接続されているが、このワイヤ48の接続によるパッド2の下方の回路素子44の損傷は起きない。すなわち、パッド2にワイヤ48を超音波ワイヤボンディング法や熱圧着法によって接続した場合、パッド2やパッド2の下方部分には圧着による衝撃が加わる。しかし、本実施例の半導体集積回路素子1は、パッド2の直ぐ下には、多層に亘って配線および層間絶縁膜が設けられていることと、特に

6

層間絶縁膜が緩衝材として作用することから、半導体部分に大きな衝撃が加わらず、回路素子の破損は発生しなくなり、半導体装置のワイヤボンディングによる信頼度が高くなる。なお、配線は圧着によって破損し難いアルミニウムによって形成されていることから、ワイヤボンディング時の衝撃による配線の断線化も発生しない。

【0033】本実施例の半導体集積回路素子は、従来空き領域となっていたワイヤボンディング用パッドの下方に保護素子およびI/Oバッファ回路を形成した構造となっていることから、集積度の向上が達成されるという効果が得られる。

【0034】また、本実施例の半導体集積回路素子は、従来空き領域となっていたワイヤボンディング用パッドの下方に保護素子およびI/Oバッファ回路を形成した構造となっていることから、保護素子およびI/Oバッファ回路を形成するための独立した領域が不要となり、小型化が達成されるという効果が得られる。

【0035】また、本実施例の半導体集積回路素子は、パッドと、パッドの下方に形成された保護素子およびI/Oバッファ回路との間に多層に配線が設けられているとともに、前記上下の配線間の絶縁膜は緩衝性材質で形成されていることから、前記パッドにワイヤが接続されても接続時の衝撃で保護素子およびI/Oバッファ回路が破損されることがなく、ワイヤボンディングにおける信頼度の向上が達成されるという効果が得られる。

【0036】本実施例の半導体装置は、パッドの下方の半導体部分に回路素子を形成した小型化が可能な半導体集積回路素子が組み込まれることから、小型化された半導体集積回路素子の組み込みによって半導体装置の小型化が達成できるという効果が得られる。

【0037】また、本実施例の半導体装置は、パッドの下方の半導体部分に保護素子およびI/Oバッファ回路からなる回路素子を有する半導体集積回路素子のパッドにワイヤをボンディングした構造となっているが、前記パッドと回路素子との間には、多層に配線が設けられているとともに、前記上下の配線間の絶縁膜は緩衝性材質で形成されていることから、前記パッドにワイヤが接続されても接続時の衝撃で保護素子およびI/Oバッファ回路が破損されることがなく、ワイヤボンディングの信頼度の高い半導体装置となるという効果が得られる。

【0038】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、パッドの下方に形成される回路素子は保護素子だけでもよい。図6はパッド2の四隅の下方の半導体部分にそれぞれ保護素子4を形成した例を示すものである。この実施例の場合も、半導体集積回路素子の集積度向上、小型化が達成できる。

【0039】また、本発明においては、パッド2の下方

の回路素子は、前記保護素子やI/Oバッファ回路以外のものであっても良いことは勿論である。

【0040】また、前記実施例では配線はパッドを含めても3層であるが、さらに多層とすれば、ワイヤボンディング時の衝撃による回路素子の損傷の防止効果は高くなる。

【0041】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるゲートアレイを形成した半導体集積回路素子およびその素子を組み込んだ半導体装置に適用した場合について説明したが、それに限定されるものではない。本発明は少なくともパッドを有する半導体集積回路素子には適用できる。

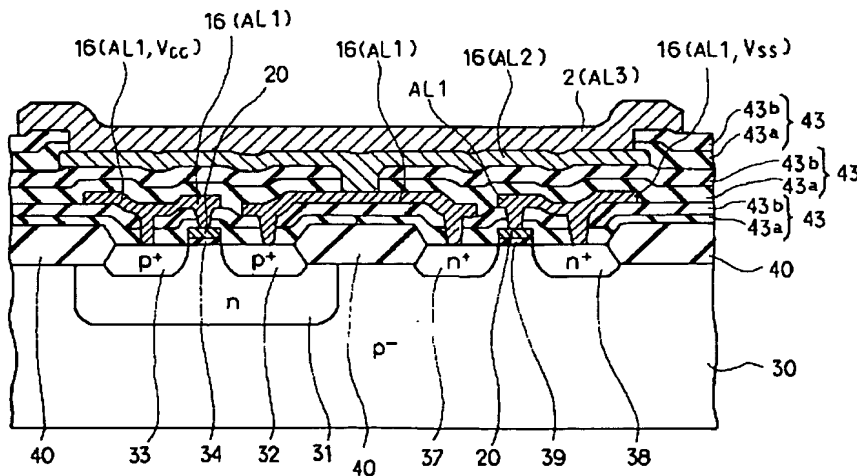
【0042】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。本発明の半導体集積回路素子は、従来空き領域となっているパッドの真下の領域に保護素子やI/Oバッファ回路等の回路素子を形成することから、集積度の向上や半導体集積回路素子の小型化を図ることができる。

【0043】本発明の半導体装置は、パッドの下方の半導体部分に回路素子を形成した小型化が可能な半導体集積回路素子が組み込まれることから、小型化された半導体集積回路素子の組み込みによって半導体装置の小型化が達成できるという効果が得られる。

【図2】

図2



【図面の簡単な説明】

【図1】本発明の半導体集積回路素子におけるパッド部分の各部を示すレイアウト図である。

【図2】図1のA-A線に沿う拡大断面図である。

【図3】入出力バッファセル部の等価回路図である。

【図4】本実施例の半導体集積回路素子の模式的平面図である。

【図5】本発明の一実施例による半導体装置の模式的断面図である。

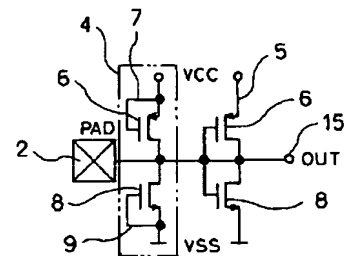
10 【図6】本発明の他の実施例による半導体集積回路素子のパッドと保護回路との相関を示すレイアウト図である。

【符号の説明】

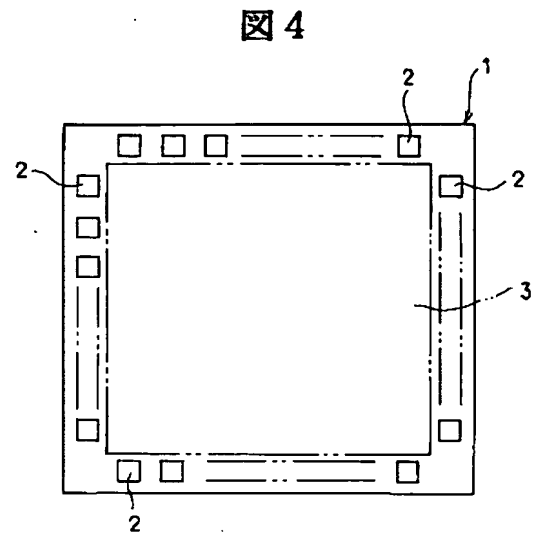
1…半導体集積回路素子、2…パッド、3…ゲートアレイ部、4…保護素子、5…I/Oバッファ回路、6…PチャンネルMOS、7…ダイオード、8…NチャンネルMOS、9…ダイオード、15…出力端子、16…配線、20…ゲート、21、22…接続部、30…シリコン基板、31…nウェル、32…ドレイン領域、33…ソース領域、34…ゲート絶縁膜、37…ドレイン領域、38…ソース領域、39…ゲート絶縁膜、40…ロコス膜、43、43a、43b…層間絶縁膜、44…回路素子、45…半導体装置、46…パッケージ、47…リード、48…ワイヤ。

【図3】

図3



【图4】



【図 6】

